

請求の範囲

- [1] (補正後)プロセッサの状態に関する条件を生成する条件生成手段と、
現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定手段と、
操作対象となるアドレスを生成するアドレス生成手段と、
前記判定手段が条件を満たすと判定したときに前記アドレス生成手段によって生成されたアドレスを用いてキャッシュを操作する操作手段と
を備え、
前記条件生成手段は、前記判定手段が条件を満たすと判定した場合に新たな条件を生成することを特徴とするキャッシュメモリシステム。
- [2] (削除)
- [3] (補正後)前記条件生成手段は、プロセッサ内の特定レジスタの値に関する条件を生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [4] 前記特定レジスタはプログラムカウンタである
ことを特徴とする請求項3記載のキャッシュメモリシステム。
- [5] (補正後)前記条件生成手段は、特定のアドレス範囲内へのメモリアクセスおよび特定のアドレス範囲外へのメモリアクセスの何れかを前記条件として生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [6] 前記条件生成手段は、プロセッサが特定命令を実行することを前記条件として生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [7] (補正後)前記条件生成手段は、現在の条件に特定の演算を施すことによって前記新たな条件を生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [8] 前記条件生成手段はメモリアクセスアドレスを条件として生成し、
前記判定手段が条件を満たすと判定した場合に現在の条件に定数を加算することによって前記新たな条件を生成する
ことを特徴とする請求項7記載のキャッシュメモリシステム。

- [9] 前記定数は、プロセッサにより実行されるポストインクリメント付きロード／ストア命令におけるインクリメント値またはデクリメント値、およびプロセッサにより実行される2回のロード／ストア命令におけるアドレスの差分値の何れかであることを特徴とする請求項8記載のキャッシュメモリシステム。
- [10] 前記条件生成手段は複数の条件を生成し、
前記判定手段は、複数の条件のすべてを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。
- [11] 前記条件生成手段は複数の条件を生成し、
前記判定手段は、複数の条件の何れかを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。
- [12] (補正後)前記操作手段は、
前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、
格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、
前記選択されたラインが有効でダーティならライトバックを行うライトバック手段と、
前記アドレスに対応するデータをメモリからライトバック後の選択されたラインへ転送する転送手段と、
前記アドレスをタグとして前記選択されたラインへ登録する登録手段と
を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。
- [13] (補正後)前記操作手段は、
前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、
格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、
選択されたラインが有効でダーティであれば、ライトバックを行うライトバック手段と、

メモリから選択されたラインへデータを転送することなく、前記生成したアドレスをタグとして選択されたラインへ登録する登録手段と

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[14] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

選択されたラインが有効でかつダーディであればライトバックを行うライトバック手段と、

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[15] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

選択されたラインを無効化する無効化手段と

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[16] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

ラインのアクセス順序を示す順序情報に対して、選択されたラインのアクセス順序を変更する変更手段と、

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

- [17] (補正後)前記条件生成手段により前記条件としてメモリアドレスを生成し、
前記操作手段は、さらに、
前記条件生成手段により生成されたメモリアドレスがラインの途中を指す場合に、当該ラインの先頭、次のラインの先頭および前のラインの先頭の何れかを指すように調整することによりアドレスを生成する調整手段を備える
ことを特徴とする請求項12から16の何れかに記載のキャッシュシステム。
- [18] (補正後)キャッシュメモリの制御方法であって、
プロセッサの状態に関する条件を生成する条件生成ステップと、
現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定ステップと、
操作対象となるアドレスを生成するアドレス生成ステップと、
前記判定ステップにおいて条件を満たすと判定したときに前記アドレス生成ステップにおいて生成されたアドレスを用いてキャッシュを操作する操作ステップと
を有し、
前記判定ステップにて条件を満たすと判定した場合に、前記条件生成ステップにおいて新たな条件を生成することを特徴とする制御方法。

1又は3」に補正する。

請求の範囲第30頁第14項第9行の「請求項1から3の何れかに」を「請求項1又は3」に補正する。

請求の範囲第30頁第15項第8行の「請求項1から3の何れかに」を「請求項1又は3」に補正する。

請求の範囲第31頁第16項第9行の「請求項1から3の何れかに」を「請求項1又は3」に補正する。

請求の範囲第31頁第17項第6行の「記載のの」を「記載の」に補正する。

請求の範囲第31頁第18項第7行の「を有すること」を「を有し、前記判定ステップにて条件を満たすと判定した場合に、前記条件生成ステップにおいて新たな条件を生成すること」に補正する。

6. 添付書類の目録

(1) 請求の範囲第28頁、第29頁、第30頁及び第31頁

請求の範囲

- [1] (補正後)プロセッサの状態に関する条件を生成する条件生成手段と、
現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定手段と、
操作対象となるアドレスを生成するアドレス生成手段と、
前記判定手段が条件を満たすと判定したときに前記アドレス生成手段によって生成されたアドレスを用いてキャッシュを操作する操作手段と
を備え、
前記条件生成手段は、前記判定手段が条件を満たすと判定した場合に新たな条件を生成することを特徴とするキャッシュメモリシステム。
- [2] (削除)
- [3] (補正後)前記条件生成手段は、プロセッサ内の特定レジスタの値に関する条件を生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [4] 前記特定レジスタはプログラムカウンタである
ことを特徴とする請求項3記載のキャッシュメモリシステム。
- [5] (補正後)前記条件生成手段は、特定のアドレス範囲内へのメモリアクセスおよび特定のアドレス範囲外へのメモリアクセスの何れかを前記条件として生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [6] 前記条件生成手段は、プロセッサが特定命令を実行することを前記条件として生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [7] (補正後)前記条件生成手段は、現在の条件に特定の演算を施すことによって前記新たな条件を生成する
ことを特徴とする請求項1記載のキャッシュメモリシステム。
- [8] 前記条件生成手段はメモリアクセスアドレスを条件として生成し、
前記判定手段が条件を満たすと判定した場合に現在の条件に定数を加算することによって前記新たな条件を生成する
ことを特徴とする請求項7記載のキャッシュメモリシステム。

- [9] 前記定数は、プロセッサにより実行されるポストインクリメント付きロード／ストア命令におけるインクリメント値またはデクリメント値、およびプロセッサにより実行される2回のロード／ストア命令におけるアドレスの差分値の何れかであることを特徴とする請求項8記載のキャッシュメモリシステム。
- [10] 前記条件生成手段は複数の条件を生成し、
前記判定手段は、複数の条件のすべてを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。
- [11] 前記条件生成手段は複数の条件を生成し、
前記判定手段は、複数の条件の何れかを満たすかどうかを判定することを特徴とする請求項1記載のキャッシュメモリシステム。
- [12] (補正後)前記操作手段は、
前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、
格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、
前記選択されたラインが有効でダーティならライトバックを行うライトバック手段と、
前記アドレスに対応するデータをメモリからライトバック後の選択されたラインへ転送する転送手段と、
前記アドレスをタグとして前記選択されたラインへ登録する登録手段と
を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。
- [13] (補正後)前記操作手段は、
前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、
格納されていないと判定された場合に、キャッシュメモリ中のラインを選択する選択手段と、
選択されたラインが有効でダーティであれば、ライトバックを行うライトバック手段と、

メモリから選択されたラインへデータを転送することなく、前記生成したアドレスをタグとして選択されたラインへ登録する登録手段と

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[14] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

選択されたラインが有効でかつゲーディであればライトバックを行うライトバック手段と、

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[15] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

選択されたラインを無効化する無効化手段と

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

[16] (補正後)前記操作手段は、

前記判定手段が条件を満たすと判定したときに、前記アドレス生成手段により生成されたアドレスに対応するデータがキャッシュに格納されているかどうかを判定するデータ判定手段と、

格納されていると判定された場合に、キャッシュメモリ中の格納先のラインを選択する選択手段と、

ラインのアクセス順序を示す順序情報に対して、選択されたラインのアクセス順序を変更する変更手段と、

を備えることを特徴とする請求項1又は3記載のキャッシュメモリシステム。

- [17] (補正後)前記条件生成手段により前記条件としてメモリアドレスを生成し、
前記操作手段は、さらに、
前記条件生成手段により生成されたメモリアドレスがラインの途中を指す場合に、当該ラインの先頭、次のラインの先頭および前のラインの先頭の何れかを指すように調整することによりアドレスを生成する調整手段を備える
ことを特徴とする請求項12から16の何れかに記載のキャッシュシステム。
- [18] (補正後)キャッシュメモリの制御方法であって、
プロセッサの状態に関する条件を生成する条件生成ステップと、
現在のプロセッサの状態が前記条件を満たすかどうかを判定する判定ステップと、
操作対象となるアドレスを生成するアドレス生成ステップと、
前記判定ステップにおいて条件を満たすと判定したときに前記アドレス生成ステップにおいて生成されたアドレスを用いてキャッシュを操作する操作ステップと
を有し、
前記判定ステップにて条件を満たすと判定した場合に、前記条件生成ステップにおいて新たな条件を生成することを特徴とする制御方法。